

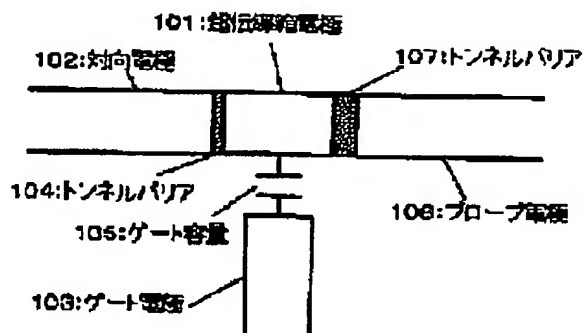
QUANTUM ARITHMETIC ELEMENT AND MANUFACTURE OF THE SAME

Patent number: JP2000277723
 Publication date: 2000-10-06
 Inventor: NAKAMURA YASUNOBU
 Applicant: NIPPON ELECTRIC CO
 Classification:
 - International: H01L29/06; H01L29/66; H01L29/80; H01L39/22
 - European:
 Application number: JP19990082019 19990325
 Priority number(s): JP19990082019 19990325

Report a data error here

Abstract of JP2000277723

PROBLEM TO BE SOLVED: To simplify reading of an arithmetic result by extracting the result as a DC current signal, and dispensing with performing high-speed voltage operation or high-speed signal extraction. **SOLUTION:** Quantum bits formed of a quantum box electrode 101 and an counter electrode 102, or the superconducting box electrode 101 and the superconducting counter electrode are controlled by a gate voltage impressed to a gate electrode, and reading after the arithmetic operation of the quantum bits and preparation in the initial state before the arithmetic operation of the quantum bits can be realized by a probe electrode 108 which is connected through a tunnel barrier 107 with the quantum bits. After the end of reading of the Cooper electron pairs, the initial state is automatically prepared, and the same arithmetic operation is repeatedly performed so that the output can be obtained as a DC current signal, and reading can be simplified. Also the constitution of the reading circuit becomes simplified, and the number of wiring can be reduced.



Data supplied from the esp@cenet database - Worldwide

80
BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277723

(P2000-277723A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 29/08		H 0 1 L 29/06	4 M 1 1 3
29/66		29/68	5 F 1 0 2
29/80		39/22	Z A A G
39/22	Z A A	29/80	A

審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平11-82019

(22) 出願日 平成11年3月25日 (1999.3.25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 泰信

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム (参考) 4M113 AA04 AA14 AA25 AA37 AB01

AB15 AC45 BA04 BB08 CA13

EP102 FB05 FB10 GB01 GD03 GD10

GI03 GT01 GT02 GV02 HC12

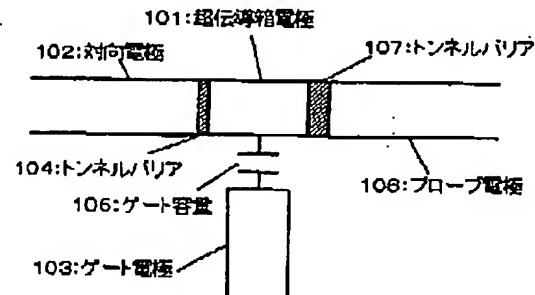
HC19

(54) 【発明の名称】 量子演算素子とその製造方法

(57) 【要約】

【課題】 量子演算素子では演算結果を量子ビットから読み出す際に、高速かつ複雑な操作と外部への高速信号の取り出しの必要があった。また伝送線路とのインピーダンス整合を取る必要があり、回路構成が複雑になり、多数の配線も必要であった。

【解決手段】 量子箱電極と対向電極、あるいは超伝導箱電極と超伝導対向電極によって形成された量子ビットをゲート電極に印加されるゲート電圧で制御し、量子ビットにトンネルバリアを挟んで結合されたプローブ電極によって量子ビットの演算後の読み出しおよび演算前の初期状態の準備が可能となる。クーパー電子対を読み出し終了後、初期状態が自動的に準備されるため、同じ演算を繰り返すことができ、読み出しが単純かつ容易になる。また本発明では、読み出し回路の構成が簡単になり、配線数を減らすことができる。



(2)

特開2000-277723

1

【特許請求の範囲】

【請求項1】 量子箱電極と対向電極が第一のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合したゲート電極と、前記量子箱電極と第二のトンネルバリアを介して結合したブロープ電極とを含み、量子ビットにおける前記第一のトンネルバリアを介したコヒーレント振動時間が前記第二のトンネルバリアを介したキャリアトンネル緩和時間より短いことを特徴とする量子演算素子。

【請求項2】 請求項1に記載の量子演算素子において、前記第一のトンネルバリアの厚さが前記第二のトンネルバリアの厚さより薄いことを特徴とする量子演算素子。

【請求項3】 請求項1又は請求項2に記載の量子演算素子において、前記第一のトンネルバリアの面積が前記第二のトンネルバリアの面積より広いことを特徴とする量子演算素子。

【請求項4】 請求項1又は、2、3に記載の量子演算素子において、前記量子箱電極、及び前記対向電極が超伝導体で構成されることを特徴とする量子演算素子。

【請求項5】 請求項4に記載の量子演算素子において、前記対向電極の超伝導ギャップエネルギーが前記量子箱電極の超伝導ギャップエネルギーより大きいことを特徴とする量子演算素子。

【請求項6】 量子箱電極と対向電極が第一のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合したゲート電極と、前記量子箱電極と第二のトンネルバリアを介して結合したブロープ電極とを含み、前記第一のトンネルバリアの厚さが前記第二のトンネルバリアの厚さより薄いことを特徴とする量子演算素子。

【請求項7】 量子箱電極と対向電極が第一のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合したゲート電極と、前記量子箱電極と第二のトンネルバリアを介して結合したブロープ電極とを含み、前記第一のトンネルバリアの面積が前記第二のトンネルバリアの面積より広いことを特徴とする量子演算素子。

【請求項8】 量子箱電極と対向電極が第一のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合したゲート電極と、前記量子箱電極と第二のトンネルバリアを介して結合したブロープ電極とを含む量子演算素子を製造する量子演算素子の製造方法において、前記第二のトンネルバリアの実現に、前記第一のトンネルバリア形成工程で設けたトンネルバリア膜に選択的にトンネルバリア膜を重ねることを特徴とする量子演算素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低容量のジョセフ

2

ソン結合システムに関係する量子計算機に用いる量子演算素子とその製法に関する。

【0002】

【従来の技術】 量子計算機 (Quantum Computer) は、例えば大きな自然数素因数分解など、従来の古典的計算機では計算量が莫大になって、事実上解くことのできなかった問題を解くことができるものとして、理論的に提案されている (文献: エス・アイ・エイ・エム ジャーナル・オブ・コンピューティング 第26巻、1484ページ (SIAM Journal of Computing, Vol.26, p.1484 (1997)))。

【0003】 この量子計算機では、古典的計算機でのビットに対応するものとして、量子ビットと呼ばれる量子2準位系が用いられる。演算を行なうにあたっては、量子ビット群に対してユニタリー変換操作が行われ、演算終了後に量子ビットの読み出しが行われる。量子ビットとしての量子2準位系として、超伝導量子演算素子を用いることができる。

【0004】 従来、この種の超伝導量子演算素子は、例えば文献1998年8月6日、ロスアラモス・プレプリントサーバー (<http://xxx.lanl.gov/>) cond-mat/9808067及び1998年6月15日、フィジカル・レビュー・ビー第57巻15400ページ (Physical Review B, Vol.57, p.15400(1998)) に示されるように、量子計算を行なうために用いられている。

【0005】 図5は従来の超伝導量子演算素子の一例を示す回路図である。超伝導箱電極501中の余剰クーバー対数が、帯電効果により0または1に制限され、かつその2つの状態は、トンネルバリア504を介した超伝導対向電極502との間のクーバー対のトンネリングによって、コヒーレントに結合している。これが量子ビットとして機能する。ゲート電極503に印加されたゲート電圧が、ゲート容量505を介して箱電極501に作用し、複数列の超伝導箱電極501中の余剰クーバー対数が一括して量子ビットに対する演算を行なうことになる。

【0006】 図中、点線より右側は、量子ビットの状態を読み出す読み出し回路である。読み出し回路は、単一電子トランジスタで構成されている。量子ビット内の電荷数の状態を、読み出し容量508を介して、島電極507に伝送され、島電極507とトンネルバリア511を介して接続されたソース電極508、ドレイン電極509の間に流れる電流値の変化として読み出す。また、島電極507の量子ビット内の電荷はゲート電極510からゲート容量512を介して所定電界が印加され、ドレイン電極509の電流を制御する。上記説明では、1ビットの量子演算回路を例に説明したが、これを並列に配置し、各量子ビットの対向電極をインダクタンスを介して結合することにより、任意の2つの量子ビットを互いに相互作用させることが可能になり、多ビット間の任

3

意の量子演算が可能になる(文献1998年8月6日、ロシアラモスプレプリントサーバー(<http://xxx.lanl.gov/conduct-mat/9808067>)を参照)。

【0007】なお、ここで、クーバー対(Cooper Pair)とは通常の金属で電子間には弱いクーロン反発力しか働かず、個々の電子は独立に運動しているが、電子間に僅かでも引力的な相互作用が働くと、個々の電子が自由に運動するよりも、大きさが同じで向きが反対の運動量を持った二つの電子が対を作ったほうがエネルギーが低くなることから、この電子の対をクーバー対と称している。クーバー対となって得をするエネルギーが、熱擾乱のエネルギーを上回ると、多くの電子が対状態となつて一つのエネルギー状態に凝縮し、この状態を超伝導状態となる。また、完全反磁性(マイスナー効果)の現象は、凝縮したクーバー対が全て同じ位相をもち、その全体を一つの波動関数で記述できることから説明されている。

【0008】また、上述の図5において、対向電極502と超伝導箱電極501とゲート電極503とで、単一電子トンネリング(Single-Electron Tunneling)・トランジスタを構成し、この単一電子トンネリング(SET)・トランジスタを複数列設けて読み出し容量506によって演算結果とし、演算結果を読み出しトランジスタのソース電極508と、ドレイン電極509と、ゲート電極510から読み出される。

【0009】

【発明が解決しようとする課題】従来の超伝導量子演算素子では、演算結果を量子ビットから読み出す際に、高速かつ複雑な操作と、外部への高速信号の取り出しの必要があった。また多数の配線が必要であった。単一電子トランジスタを流れる電流は量子ビット側へ雑音としての作用を与えてしまうため、量子演算中には、ソース・ドレイン間の電圧を0にして、電流が流れないようにする必要がある。

【0010】そのため、演算終了後にステップ関数的にソース・ドレイン電圧をかける必要がある。しかも島電極507の電位が、量子ビットの状態に及ぼす影響を考えると、ソース電圧とドレイン電圧は大きさが等しく符号が反対でなくてはならない。また単一電子トランジスタの動作点を調整するために、ゲート電極510には調整用の電圧を加える必要がある。

【0011】さらに、読み出し動作中には読み出し回路の反作用により、量子ビットの状態が徐々に失われてしまうため、読み出しはその前に迅速に行なう必要がある。ところが単一電子トランジスタのソースドレイン抵抗は100kΩ程度と大きく、50Ωの伝送線路とのインピーダンス整合を取る必要があり、回路構成が複雑になる。

【0012】本発明は、上述した量子演算素子の構成及び動作上の簡単な調整と簡単な回路構成を提供し、高速

(3)

特開2000-277723

4

の電圧操作や高速信号の取り出しが不要になり、演算結果の読み出しを簡単にすることを課題とする。

【0013】

【課題を解決するための手段】本発明は、量子箱電極と対向電極が第一のトンネルバリアを挟んで結合した量子ビット構造、および、その量子箱電極と静電容量を介して結合したゲート電極、および、その量子箱電極と第二のトンネルバリアを介して結合したブローブ電極とを含み、量子ビットにおける第一のトンネルバリアを介したコヒーレント振動時間が第二のトンネルバリアを介したキャリアトンネル緩和時間より短くすることを特徴とする。また、第一のトンネルバリアの厚さが第二のトンネルバリアの厚さより薄いことを特徴とする。また、第一のトンネルバリアの面積が第二のトンネルバリアの面積より広いことを特徴とする。

【0014】また、本発明は、量子箱電極、対向電極が超伝導体で構成され、あるいは、対向電極の超伝導ギャップエネルギーが量子箱電極の超伝導ギャップエネルギーより大きい量子演算子に関する技術を提供し、更にその量子演算子の第二のトンネルバリア実現において、第一のトンネルバリア形成工程で設けたトンネルバリア膜に選択的にトンネルバリア膜を重ねる量子演算子の製造方法に関する技術を提供する。

【0015】そのため、本発明によれば、量子箱電極と対向電極、あるいは超伝導箱電極と超伝導対向電極によって形成された量子ビットを、ゲート電極に印加されるゲート電圧で制御し、量子ビットにトンネルバリアを挟んで結合されたブローブ電極によって、量子ビットの演算後の読み出し、および演算前の初期状態の準備が可能となる。

【0016】また、超伝導箱電極のクーバー電子対を読み出し終了後、初期状態が自動的に準備されるため、同じ演算を繰り返し行なうことにより、直流電流信号として出力を得ることができ、読み出しが単純かつ容易になる。また本発明では、読み出し回路の構成が簡単になり、電極数を減らすことができる。

【0017】

【発明の実施の形態】本発明による実施形態について、図面を参照しつつ詳細に説明する。

【0018】本発明の構成の代表例は図1のとおりである。図において、101は低温時に超伝導状態となる超伝導体からなる超伝導箱電極、102はソースともいえる超伝導体の対向電極、103は超伝導体でもよいゲート電極、104は超伝導箱電極101と対向電極102間の薄い薄膜からなるトンネルバリア、105はゲート電極103と超伝導箱電極101間のゲート容量、106はドレインとも成る超伝導体のブローブ電極、107は超伝導箱電極101とブローブ電極106間のトンネルバリア104よりは厚めのトンネルバリアである。

【0019】また本量子演算素子を詳細に説明すれ

(4)

特開2000-277723

5

ば、図1において、絶縁体基板上に形成された超伝導体膜からなる超伝導箱電極101が、トンネルバリア104を挟んで超伝導体薄膜からなる対向電極102と結合している。上記超伝導箱電極101と静電容量105を介してゲート電極103が配置され、上記超伝導箱電極とトンネルバリア107を介してブロープ電極106が結合している。

【0020】また、ゲート電極103に印加されるゲート電圧により超伝導箱電極101の静電ポテンシャルが制御され、それによってトンネルバリア104を介したクーパー対のトンネリングすなわち量子ビットの状態の遷移が制御される。

【0021】また、ブロープ電極106は正にバイアスされており、超伝導箱電極101に余剰クーパー対が存在するときのトンネルバリア107を介した2つの準粒子トンネリングによって、2電子を引き出し、量子ビットの状態の観測をおこなう。

【0022】ここで、準粒子とは、超伝導状態にある金属で、多くの電子がクーパー対を形成し、一つのエネルギー状態に凝縮しているが、クーパー対は格子振動や、外部からの光照射により一定以上のエネルギーを受けて、二つの電子に分離する。その状態の電子を自由電子状態とは異なっているため、準粒子と称している。この場合、二つの電極を共に超伝導体としたトンネル接合では、両超伝導電極のギャップエネルギーの和に対応した電圧で、準粒子電流が急激に増大し、電流・電圧特性に強い非線形性が現れる。

【0023】次に、本発明の超伝導量子演算素子の動作を図2に基づいて説明する。ここでは簡単のため1ビットの量子演算素子を考える。図2(a)は超伝導箱電極101中の余剰クーパー対の数 n が、0と1の状態のエネルギーに対応して、ゲート電極103のバイアス電圧であるゲート電圧 V_g に依存する様子を示したものである。2つの状態が縮退する点を、 V_{g1} とする。縮退ゲート電圧 V_{g1} から大きく外れた点 V_{g0} では、状態0の方が状態1よりもエネルギーが低く、 $V_g = V_{g0}$ に待機することにより、量子ビットの初期状態 $n=0$ を用意することができる。

【0024】次に、図2(b)に示すような、電圧パルスをゲート電極103に印加することを考える。時間 t 0以前で状態0にあったものが、時間 t 0+からパルス幅 Δt の間、 V_{g1} のゲート電圧のもとで状態0と状態1の間をコヒーレントに振動する。振動周期は、トンネルバリア104のジョセフソンエネルギーを E_J とすると、プランク定数を h として、 $[h/E_J]$ となる。パルス幅を制御することにより、量子状態の移り変わりを任意に制御することができる。これが1ビットの演算に対応する。パルス終了後、演算結果に対応した波動関数の重みをもって量子ビットの状態は、状態0と状態1の重ねあわせとなる。ここで状態1は、超伝導箱電極10

6

1から、正側に、 $V = (2\Delta + Ec) / e$ から $(2\Delta + 3Ec) / e$ 迄の間に、バイアスされたブロープ電極106への、電子のトンネリングに対して、不安定であり、電子のトンネリング確率 Γ は、

$$\Gamma \sim (eV + Ec) / e^2 R \quad \dots (1)$$

(R はブロープ接合のトンネル抵抗、 Ec は箱電極の一電子帯電エネルギー)で、2つの電子をブロープ電極106へ放出し、状態0へと緩和する。

【0025】一方、状態0は安定状態であり、何も起こらない。状態1が完全に緩和するまで、確率 Γ の数倍の時間 T_d 待機すると、再び初期状態0が用意され、次のパルスにより同じ操作を繰り返すことができる。

【0026】これを繰り返すことにより、出力としてブロープ電極106へ流れ出る直流電流が、終状態において、量子ビットの状態が状態1にある確率密度に比例する信号となる。

【0027】例えば、結果が完全に状態1のとき $[2e / T_d]$ の直流電流が観測できる。この場合、読み出しは直流電流を読むだけであるので、信号線には広帯域特性は要求されない。量子演算の途中で状態が観測されてしまう確率が無視できるように、 $E_J \gg h \Gamma$ である必要がある。そのかわり観測が行なわれる前にはブロープ接合から量子ビットへの反作用はない。多数ビット間の量子演算を行なう場合には、上記1ビット素子を並列に配置し、超伝導箱電極101を複数並列として、各量子ビットの対向電極102をインダクタンスを介して結合することにより、任意の2つの量子ビットを互いに相互作用させることが可能になり、多ビット間の任意の量子演算を行なうことも可能になる。さらに、この量子演算から、量子コンピュータの実現も可能となる。

【0028】図1に示した超伝導量子演算素子により、バイアスや制御電圧はブロープ電極とゲート電極により、超伝導箱電極の状態を読み取り、また超伝導箱電極が複数列で有ればその演算結果を得ることができるので、従来の図5に示すような量子演算素子と比べても、複雑な制御の必要性が無いことがわかる。

【0029】

【実施例】次に、本発明の実施例について、図面を参照して説明する。図3は本発明の実施例の上面図である。基板には絶縁体基板305、例えば表面酸化されたシリコン基板を用いる。アルミ箱電極301、アルミ対向電極302、アルミブロープ電極306、アルミゲート電極303の各電極は、超伝導体で形成される。また、図3と図1とはほぼ対応した回路図であり、超伝導箱電極101はアルミ箱電極301と対となっており、他の電極及びバリアも同様である。

【0030】材料としてはアルミおよびニオブが用いられる。ゲート電極303は別に常伝導貴金属、金および白金を用いることもできる。また、酸化アルミ・トンネルバリア304、酸化アルミ・トンネルバリア307の

(5)

特開 2000-277723

7

8

各バリアは、対向電極 302 の蒸着後に、もう一度酸素を真空中に導入し、超伝導箱電極 301 の表面をさらに酸化したのち、アルミブローブ電極 306 を箱電極 301 とわずかに重なるように蒸着し、トンネル接合としての酸化アルミトンネルバリア 307 を形成する。また、酸化アルミ・トンネルバリア 304 と酸化アルミ・トンネルバリア 307 とは、幅は同一であるが、厚さが異なっているため、図 3 にみる平面図では、概念上酸化アルミ・トンネルバリア 307 の幅を大きくしている。

【0031】つぎに、図 4 は素子の製造過程の一例をしめすものである。図 3 に示す量子演算素子を作製する例を示している。トンネルバリア 404、406 の形成は以下のように行なわれる。まずマスク 407 を通して、超伝導箱電極 401 を蒸着した後、蒸着装置の真空中の中に、酸素あるいは酸素 10% とアルゴンの混合ガスを導入し、表面を酸化する。ゲート電極 403 がアルミ電極の場合、表面に酸化アルミの絶縁膜が形成される。ニオブ電極の場合、表面にあらかじめ薄くアルミを蒸着しておいて、そのアルミを酸化する。

【0032】次に、マスクを通して対向電極 402 を超伝導箱電極 401 の表面にわずかに重なるように、異なる角度から蒸着する。その重なり部分に挟まれた酸化アルミがトンネルバリアになり、トンネル接合 404 が形成される。ブローブ電極 405 側のトンネルバリアは、 $EJ > h\Gamma$ を満たすために厚いことが望ましいので、対向電極 402 の蒸着後に、もう一度酸素を真空中に導入し、超伝導箱電極 401 表面をさらに酸化したのち、ブローブ電極 405 を超伝導箱電極 401 とわずかに重なるように蒸着し、トンネル接合 406 を形成する。正面を含む異なる角度から 3 回の蒸着工程を示したのが、図 4 の下側の図である。マスクパターン 407 と絶縁体基板間の距離を設け、所定の角度で正面、斜め上、反対側からそれぞれ蒸着することにより、図 3 に示す量子演算素子を形成することができる。

【0033】また、他にも、 $EJ > h\Gamma$ を満たすための方法として、ブローブ接合の面積を量子ビットのトンネル接合よりも小さくする、対向電極のみに超伝導ギャップの大きい材料たとえばニオブを用いて EJ を大きくする方法もある。ゲート電極 403 は、これらの過程の前に別の蒸着工程で用意しておくことも可能であるし、上記の工程と同時に蒸着することもできる。マスク上に付着した金属をリフトオフにより取り除くことにより、本発明の超伝導量子演算素子が得られる。

【0034】

【発明の効果】本発明によれば、結果を直流電流信号として取り出すことができるため、高速の電圧操作や高速信号の取り出しが不要になるので、演算結果の読み出しが簡単になる。

【0035】また、読み出し回路として単一電子トランジスタを用いずに、量子ビットにトンネルバリアを挟んで直結したブローブ電極へのトンネリングを出力として取り出すことができるので、読み出し回路の構成の単純化が可能で、配線数を低減することができる。

【図面の簡単な説明】

【図 1】本発明の構成の回路図である。

【図 2】本発明の動作の説明図である。

【図 3】本発明の実施例の上面図である。

【図 4】本発明の実施例の素子の製造方法の説明図である。

【図 5】従来の超伝導量子ビットとその読み出し回路の回路図である。

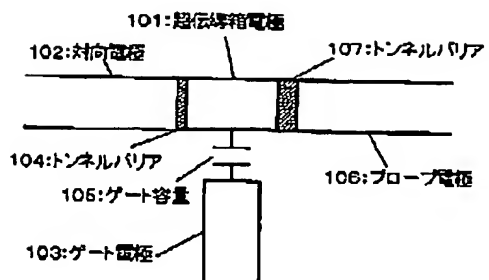
【符号の説明】

- 101 超伝導箱電極
- 102 対向電極
- 103 ゲート電極
- 104 トンネルバリア
- 105 ゲート容量
- 106 ブローブ電極
- 107 トンネルバリア
- 301 アルミ箱電極
- 302 アルミ対向電極
- 303 アルミゲート電極
- 304 酸化アルミトンネルバリア
- 305 絶縁体基板
- 306 アルミブローブ電極
- 307 酸化アルミトンネルバリア
- 401 超伝導箱電極
- 402 対向電極
- 403 ゲート電極
- 404 トンネル接合
- 405 ブローブ電極
- 406 トンネル接合
- 407 マスクパターン
- 501 超伝導箱電極
- 502 対向電極
- 503 ゲート電極
- 504 トンネルバリア
- 505 ゲート容量
- 506 読み出し容量
- 507 島電極
- 508 ソース電極
- 509 ドレイン電極
- 510 ゲート電極
- 511 トンネルバリア
- 512 ゲート容量

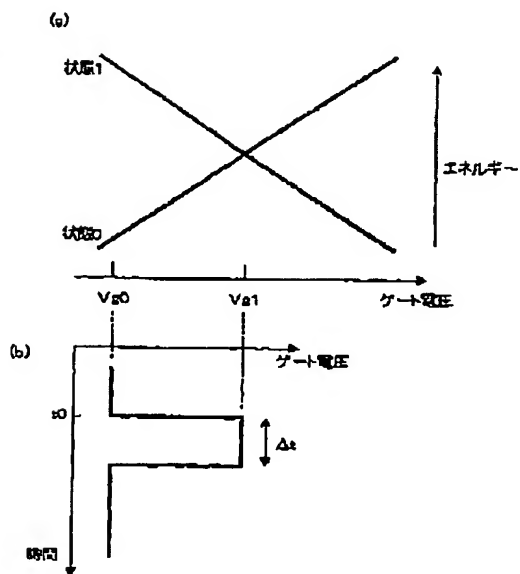
(6)

特開2000-277723

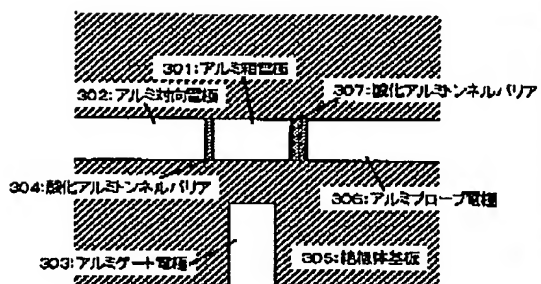
【図1】



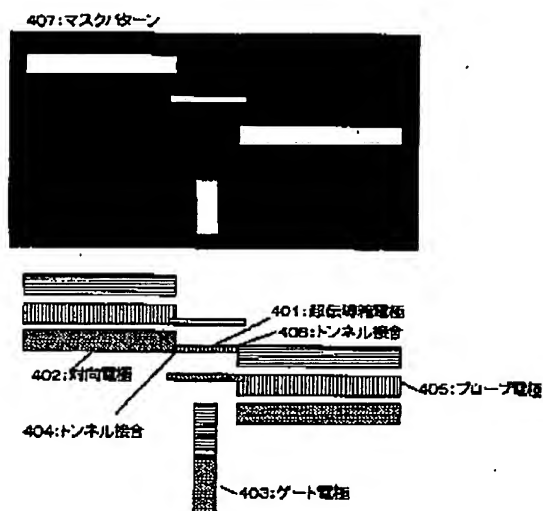
【図2】



【図3】



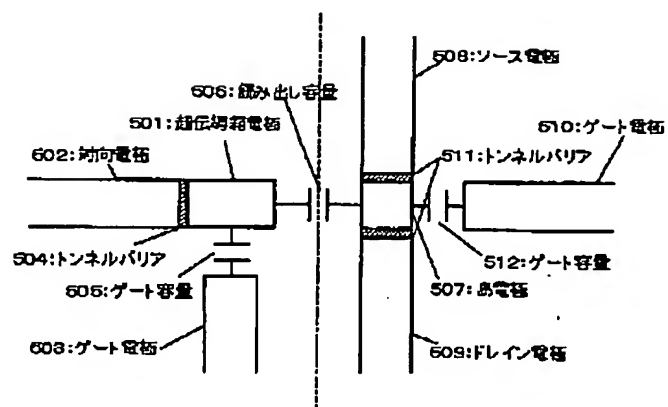
【図4】



(7)

特開2000-277723

【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.